

明 細 書

トランジスタ回路、画素回路、表示装置及びこれらの駆動方法

5

技術分野

本発明は基板上に集積形成された薄膜トランジスタで構成されるトランジスタ回路に関する。又、トランジスタ回路の一形態である画素回路に関する。更には、この画素回路をマトリクス状に配列した表示装置に関する。このアクティブマトリクス型の表示装置は例えば液晶ディスプレイや有機ELディスプレイなどのフラットディスプレイパネルを包含する。

10

背景技術

電界効果型トランジスタの一種である薄膜トランジスタは、ガラスなどの絶縁性基板の上に成膜された非晶質シリコン膜若しくは多結晶シリコン膜を素子領域とするものである。近年この薄膜トランジスタはアクティブマトリクス型のディスプレイデバイスの画素スイッチとして開発が盛んに行なわれている。薄膜トランジスタはゲートとドレインとソースを備えており、ゲートに印加される電圧に応じて、ソース／ドレイン間に電流を流す。薄膜トランジスタが飽和領域で動作する時、ドレイン電流 I_{ds} は以下のトランジスタ特性式によって与えられる。

20

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

25

ここで V_{gs} はソースを基準としたゲート電圧を表わし、 V_{th} は閾電圧を表わし、 C_{ox} はゲート容量を表わし、 W はチャネル幅を表わし、 L はチャネル長を表わし、 μ は半導体薄膜の移動度を表わしている。こ

のトランジスタ特性式から明らかな様に、薄膜トランジスタはゲート電圧 V_{gs} が閾電圧 V_{th} を超えると、ドレイン電流 I_{ds} を流す構造となっている。

5 幾つかの薄膜トランジスタを結線して所定の機能を奏するトランジスタ回路が構成される。一般にトランジスタ回路は、基板に形成された複数の薄膜トランジスタと、所定の動作を行なう様に各薄膜トランジスタのゲート、ソース又はドレインを接続する配線とで構成されている。この様なトランジスタ回路の典型例として画素回路が挙げられる。画素回路は行状の走査線と列状の信号線とが交差する部分に各々形成されており、全体としてアクティブマトリクス表示装置を構成する。画素回路は走査線によって選択された時動作し、信号線から映像信号をサンプリングして、有機EL発光素子などの負荷素子を駆動する。この様な薄膜トランジスタを能動素子とするアクティブマトリクス型の有機ELディスプレイデバイスは、例えば特開平8-234683号公報に開示されて
10 いる。

上述したトランジスタ特性式から明らかな様に、飽和領域においては薄膜トランジスタはゲート電圧が閾電圧を超えた時オンしドレイン電流が流れる一方、ゲート電圧が閾電圧を下回るとカットオフする。しかしながら、薄膜トランジスタの閾電圧 V_{th} は必ずしも一定ではなく経時的に変動する。この閾電圧の変動によりカットオフ動作に乱れが生じ、
20 トランジスタ回路の誤動作につながるという問題がある。又、上述のトランジスタ特性式から明らかな様に、ゲート電圧が一定であっても閾電圧が変動するとドレイン電流も変動してしまう。発光素子を電流駆動する画素回路の場合、閾電圧の変動がドレイン電流の変動をもたらし、
25 いては発光素子の輝度の劣化となって現われるという課題がある。

発明の開示

上述した従来の技術の課題に鑑み、本発明は薄膜トランジスタの閾電圧の変動を補正する機能を自ら備えたトランジスタ回路、画素回路及び表示装置とこれらの駆動方法を提供することを目的とする。係る目的を達成する為に以下の手段を講じた。即ち、基板に形成された複数の薄膜トランジスタと、所定の動作を行なう様に各薄膜トランジスタのゲート、ソース又はドレインを接続する配線とを含むトランジスタ回路であって、動作中少なくとも1個配線を介してゲートとソースの間に反復的若しくは持続的に順バイアスがかかる薄膜トランジスタを含むとともに、該動作の妨げとならないタイミングで当該薄膜トランジスタのゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの閾電圧の変動を抑制する逆バイアス印加手段を備えたことを特徴とする。

好ましくは、当該薄膜トランジスタに並列接続した追加薄膜トランジスタと、該追加薄膜トランジスタを当該薄膜トランジスタに対して補完的に駆動して上記した動作の妨げとならないタイミングを作り出す補完手段とを備え、前記逆バイアス印加手段は、該作り出されたタイミングで当該薄膜トランジスタに逆バイアスを印加することを特徴とする。例えば、当該薄膜トランジスタはNチャネル型又はPチャネル型であり、前記追加薄膜トランジスタも同じNチャネル型又はPチャネル型であり、前記補完手段は、当該薄膜トランジスタのゲートに印加されるパルスと逆相の関係になるパルスを前記追加薄膜トランジスタのゲートに印加する。或いは、当該薄膜トランジスタはNチャネル型又はPチャネル型であり、前記追加薄膜トランジスタは反対のPチャネル型又はNチャネル型であり、前記補完手段は、当該薄膜トランジスタのゲートに印加されるパルスと同相の関係になるパルスを前記追加薄膜トランジスタに印加する。

又本発明は、行状の走査線と列状の走査線との各交差部に配され、該走査線によって選択された時該信号線から信号をサンプリングし且つサンプリングした信号に応じて負荷素子を駆動する画素回路であって、基板に形成された複数の薄膜トランジスタと、各薄膜トランジスタのゲート、ソース又はドレインを接続する配線とからなり、負荷素子の駆動中
5 少くとも1個配線を介してゲートとソースの間に反復的若しくは持続的に順バイアスがかかる薄膜トランジスタを含むとともに、負荷素子の駆動の妨げとならないタイミングで当該薄膜トランジスタのゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの閾電圧の変動を
10 抑制する逆バイアス印加手段を備えたことを特徴とする。

好ましくは、当該薄膜トランジスタに並列接続した追加薄膜トランジスタと、該追加薄膜トランジスタを当該薄膜トランジスタに対して補完的に動作して上記した負荷素子の駆動の妨げとならないタイミングを作り出す補完手段とを備え、前記逆バイアス印加手段は、該作り出された
15 タイミングで当該薄膜トランジスタに逆バイアスを印加することを特徴とする。例えば当該薄膜トランジスタはNチャネル型又はPチャネル型であり、前記追加薄膜トランジスタも同じNチャネル型又はPチャネル型であり、前記補完手段は、当該薄膜トランジスタのゲートに印加されるパルスと逆相の関係になるパルスを前記追加薄膜トランジスタのゲート
20 に印加する。或いは当該薄膜トランジスタはNチャネル型又はPチャネル型であり、前記追加薄膜トランジスタは反対のPチャネル型又はNチャネル型であり、前記補完手段は、当該薄膜トランジスタのゲートに印加されるパルスと同相の関係になるパルスを前記追加薄膜トランジスタに印加する。

25 好ましくは、前記複数の薄膜トランジスタは、該走査線によって選択された時導通し該信号線から信号をサンプリングして保持容量に保持す

るサンプリング用薄膜トランジスタと、該保持容量に保持された信号電位に応じて該負荷素子に対する通電量を制御するドライブ用薄膜トランジスタと、該負荷素子に対する通電をオン／オフ制御するスイッチング用薄膜トランジスタとを含み、前記逆バイアス印加手段は、該ドライブ用薄膜トランジスタ及び該スイッチング用薄膜トランジスタの少くとも一方に逆バイアスをかける。又、該ドライブ用薄膜トランジスタの閾電圧の変動をキャンセルする様に、該ドライブ用薄膜トランジスタのゲートに印加される信号電位のレベルを調整する閾電圧キャンセル手段を含む。更に、該負荷素子の特性変動を吸収する様に、該ドライブ用薄膜トランジスタのゲートに印加される信号電位のレベルを自動的に制御するブートストラップ手段を含む。

又本発明は、行状の走査線と、列状の走査線と、これらが交差する部分に配された画素回路とからなる表示装置であって、該画素回路は、該走査線によって選択された時該信号線から映像信号をサンプリングし且つサンプリングした映像信号に応じて発光素子を駆動し、該画素回路は、基板に形成された複数の薄膜トランジスタと、各薄膜トランジスタのゲート、ソース又はドレインを接続する配線とからなり、発光素子の駆動中少くとも1個配線を介してゲートとソースの間に反復的若しくは持続的に順バイアスがかかる薄膜トランジスタを含むとともに、発光素子の駆動の妨げとならないタイミングで当該薄膜トランジスタのゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの閾電圧の変動を抑制する逆バイアス印加手段を備えたことを特徴とする。

好ましくは、当該薄膜トランジスタに並列接続した追加薄膜トランジスタと、該追加薄膜トランジスタを当該薄膜トランジスタに対して補完的に動作して該発光素子の駆動の妨げとならないタイミングを作り出す補完手段とを備え、前記逆バイアス印加手段は、該作り出されたタイミ

ングで当該薄膜トランジスタに逆バイアスを印加することを特徴とする。
例えば当該薄膜トランジスタはNチャネル型又はPチャネル型であり、
前記追加薄膜トランジスタも同じNチャネル型又はPチャネル型であり、
前記補完手段は、当該薄膜トランジスタのゲートに印加されるパルスと
5 逆相の関係になるパルスを前記追加薄膜トランジスタのゲートに印加す
る。或いは当該薄膜トランジスタはNチャネル型又はPチャネル型であ
り、前記追加薄膜トランジスタは反対のPチャネル型又はNチャネル型
であり、前記補完手段は、当該薄膜トランジスタのゲートに印加される
パルスと同相の関係になるパルスを前記追加薄膜トランジスタに印加す
10 る。

好ましくは、前記複数の薄膜トランジスタは、該走査線によって選択
された時導通し該信号線から映像信号をサンプリングして保持容量に保
持するサンプリング用薄膜トランジスタと、該保持容量に保持された信
号電位に応じて該発光素子に対する通電量を制御するドライブ用薄膜ト
15 ランジスタと、該発光素子に対する通電をオン／オフ制御するスイッ
チング用薄膜トランジスタとを含み、前記逆バイアス印加手段は、該ドラ
イブ用薄膜トランジスタ及び該スイッチング用薄膜トランジスタの少く
とも一方に逆バイアスをかける。又、該ドライブ用薄膜トランジスタの
閾電圧の変動をキャンセルする様に、該ドライブ用薄膜トランジスタの
20 ゲートに印加される信号電位のレベルを調整する閾電圧キャンセル手段
を含む。更に、該負荷素子の特性変動を吸収する様に、該ドライブ用薄
膜トランジスタのゲートに印加される信号電位のレベルを自動的に制御
するブートストラップ手段を含む。

又本発明は、基板に形成された複数の薄膜トランジスタと、所定の動
25 作を行なう様に各薄膜トランジスタのゲート、ソース又はドレインを接
続する配線とを含むトランジスタ回路の駆動方法であって、動作中少く

とも1個の薄膜トランジスタに対し配線を介してゲートとソースの間に反復的若しくは持続的に順バイアスをかける順バイアス印加手順と、該動作の妨げとならないタイミングで当該薄膜トランジスタのゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの閾電圧の変動を抑制する逆バイアス印加手順とを行なうことを特徴とする。更に、当該薄膜トランジスタに並列接続した追加薄膜トランジスタを、当該薄膜トランジスタに対して補完的に駆動して、上記した動作の妨げとならないタイミングを作り出す補完手順を含み、前記逆バイアス印加手順は、該作り出されたタイミングで当該薄膜トランジスタに逆バイアスを印加する。

又本発明は、行状の走査線と列状の走査線との各交差部に配され、該走査線によって選択された時該信号線から信号をサンプリングし且つサンプリングした信号に応じて負荷素子を駆動するために、基板に形成された複数の薄膜トランジスタと、各薄膜トランジスタのゲート、ソース又はドレインを接続する配線とからなる画素回路の駆動方法であって、負荷素子の駆動中少なくとも1個の薄膜トランジスタに対して、配線を介しゲートとソースの間に反復的若しくは持続的に順バイアスをかける順バイアス印加手順と、負荷素子の駆動の妨げとならないタイミングで当該薄膜トランジスタのゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの閾電圧の変動を抑制する逆バイアス印加手順とを行なうことを特徴とする。更に、当該薄膜トランジスタに並列接続した追加薄膜トランジスタを、当該薄膜トランジスタに対して補完的に動作して、上記した負荷素子の駆動の妨げとならないタイミングを作り出す補完手順を含み、前記逆バイアス印加手順は、該作り出されたタイミングで当該薄膜トランジスタに逆バイアスを印加する。

又本発明は、行状の走査線と、列状の走査線と、これらが交差する部

分に配された画素回路とからなり、該画素回路は、該走査線によって選択された時該信号線から映像信号をサンプリングし且つサンプリングした映像信号に応じて発光素子を駆動し、該画素回路は、基板に形成された複数の薄膜トランジスタと、各薄膜トランジスタのゲート、ソース又はドレインを接続する配線とからなる表示装置の駆動方法であって、発光素子の駆動中少くとも1個の薄膜トランジスタに対して、配線を介してゲートとソースの間に反復的若しくは持続的に順バイアスをかける順バイアス印加手順と、発光素子の駆動の妨げとならないタイミングで当該薄膜トランジスタのゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの閾電圧の変動を抑制する逆バイアス印加手順とを行なうことを特徴とする。更に、当該薄膜トランジスタに並列接続した追加薄膜トランジスタを、当該薄膜トランジスタに対して補完的に動作して、該発光素子の駆動の妨げとならないタイミングを作り出す補完手順を含み、前記逆バイアス印加手順は、該作り出されたタイミングで当該薄膜トランジスタに逆バイアスを印加する。

図面の簡単な説明

図1A乃至図1Cは、本発明に係るトランジスタ回路の第一実施形態を示す模式図である。

図2は、図1Aに示したトランジスタ回路の動作説明に供するタイミングチャートである。

図3は、本発明に係るトランジスタ回路の第二実施形態を示す模式図である。

図4A及び図4Bは、本発明に係るトランジスタ回路の第三実施形態を示す模式図である。

図5は、本発明に係るアクティブマトリクス表示装置及びこれに含ま

れる画素回路の概要を示すブロック図である。

図 6 は、画素回路の参考例を示すブロック図である。

図 7 は、図 6 に示した画素回路の動作説明に供するタイミングチャートである。

5 図 8 A 及び図 8 B は、画素回路の別の参考例を示す模式図である。

図 9 は、本発明に係る画素回路の第一実施形態を示す回路図である。

図 10 は、図 9 に示した画素回路の動作説明に供するタイミングチャートである。

図 11 は、本発明に係る画素回路の第二実施形態を示す回路図である。

10 図 12 は、図 11 に示した画素回路の動作説明に供するタイミングチャートである。

発明を実施するための最良の形態

以下図面を参照して本発明の実施の形態を詳細に説明する。図 1 A 乃至図 1 C は本発明に係るトランジスタ回路の第一実施形態を表わしている。図 1 A は構成を表わす回路図、図 1 B は動作を表わすタイミングチャート、図 1 C は原理を表わすグラフである。図 1 A に示す様に、本トランジスタ回路は、基板に形成された 2 個の薄膜トランジスタ T_{r1} , T_{r2} と、インバータ動作を行なう様に各薄膜トランジスタ T_{r1} , T_{r2} のゲート、ソース又はドレインを接続する配線とで構成されている。すなわち、本トランジスタ回路は 2 個の N チャネル型トランジスタ T_{r1} , T_{r2} を用いてインバータを構成したものである。N チャネル型の薄膜トランジスタは非晶質シリコン膜を活性層として安価に製作できるので、コスト的に有利である。尚インバータは単なる例示であって、本
25 発明に係るトランジスタ回路は薄膜トランジスタで構成されていればよく、その機能や動作を問わない。

具体的な回路構成であるが、 T_{r1} のゲートには所定のゲート電圧 V_1 が印加され、ドレインは電源電圧 V_{cc} の供給を受け、ソースは出力 V_{out} を供給する様になっている。図示の例では出力端子に負荷容量 C_L が接続されている。負荷容量 C_L の一端には出力 V_{out} が印加され、他端は V_{ss} に接地されている。ゲート電圧 V_1 は T_{r1} の閾電圧と V_{cc} との和よりも大きく設定されている為、 T_{r1} は常時オン状態にある。 T_{r2} のゲートには入力信号 V_{in} が印加され、ソースは V_{ss} に接地され、ドレインは T_{r1} のソースと接続して出力ノードを構成している。

- 10 図1Bに示す様に、本トランジスタ回路はインバータ動作を行っており、入力信号 V_{in} を反転して出力信号 V_{out} を得る。すなわち、 V_{in} がローレベル (L) の時、 V_{out} はハイレベル (H) になり、 V_{in} が H の時 V_{out} は L となる。 T_{r2} に着目すると、 V_{in} がローレベルの時オフ状態となって、出力ノードは接地電位 V_{ss} から切り離される。この時 T_{r1} は常時オン状態となっているので出力ノードは V_{cc} にプルアップされる。この結果 V_{out} はハイレベル (V_{cc}) になる。逆に V_{in} がハイレベルになると T_{r2} がオンして、出力ノードが V_{ss} に向かってプルダウンされる。負荷容量 C_L から放電される電流と T_{r1} から供給される電流の和が、 T_{r2} を流れる電流と釣り合った時 V_{out} のローレベルが確定する。通常 V_{out} のローレベルは V_{ss} よりも若干高くなっている。
- 15
20

- 以上の説明から明らかな様に、 V_{in} のローレベルは T_{r2} の閾電圧より低ければよく、通常は V_{ss} に設定される。一方、 V_{in} のハイレベルは T_{r2} の閾電圧より十分高ければよい。しかしながら、この通常
25 の設定では、 T_{r2} のゲートにハイレベルの順バイアスが反復的に印加されることとなり、 T_{r2} の閾電圧の上方変動をもたらす。これを放置

すると V_{in} のハイレベルが上方変動した閾電圧を下回ってしまう恐れがあり、誤動作の原因となる。そこで本発明では V_{in} のローレベルを V_{ss} を下回る負電位として、いわゆる逆バイアスが定期的に T_{r2} に印加される様にしている。この逆バイアスにより上方シフトした閾電圧が下方修正され、結果として T_{r2} の閾電圧変動を抑制できる。すなわち第一実施形態では入力信号 V_{in} の供給源自体が逆バイアス印加手段を構成しており、インバータ動作の妨げとならないタイミング（図示の例ではローレベルのタイミング）で薄膜トランジスタ T_{r2} のゲートとソースの間に逆バイアスを印加して薄膜トランジスタ T_{r2} の閾電圧の変動を抑制している。

図1Cは薄膜トランジスタ T_{r2} の閾電圧の変化を示すグラフである。横軸にソース電位を基準としたゲート電圧 V_{gs} を取り、縦軸に閾電圧 V_{th} を取っている。反復的若しくは持続的に絶えず正のゲート電圧（順バイアス）が印加されると、 V_{th} は上方変動し、極端になると正常なオン／オフ動作が行なえない。逆に負のゲート電圧（逆バイアス）を印加し続けると、 V_{th} は下方変動する。本発明はこの現象を利用しており、順バイアスの継続的な印加による閾電圧の上方シフトを、回路の動作の支障とならないタイミングで逆バイアスを印加することにより下方修正し、以って閾電圧の変動を抑制するものである。

図2は、図1Aに示したトランジスタ回路における入力信号 V_{in} と出力信号 V_{out} の他の実施例を示すタイミングチャートである。本実施例では入力パルス V_{in} のデューティが50%からずれており、ローレベルの期間が短くハイレベルの期間が長くなっている。この入力パルス V_{in} を反転した出力パルス V_{out} は、逆にハイレベルの期間が短くローレベルの期間が長くなっている。インバータが組み込まれる回路ブロックの動作状況によっては、この様な入力信号 V_{in} が使われる状

況も有り得る。

本実施例においても、トランジスタ T_{r2} のゲートに順バイアスが印加される合間を縫って逆バイアス（ローレベル）が印加されている。しかしながら、逆バイアス印加時間が短い為、必ずしも十分な閾電圧変動抑制効果が得られない場合がある。すなわち、順バイアス（ハイレベル）の継続的な変化による閾電圧の上方変動が激しい為、逆バイアスによる下方修正効果が追いつかない場合もある。しかしながら、逆バイアスを加えない場合に比べ、所定の閾電圧変動抑制効果が得られることは明らかである。

- 10 図3は、本発明に係るトランジスタ回路の第二実施形態を示す模式図である。図3（A）は構成を表わす回路図であり、図3（B）は動作を表わすタイミングチャートである。理解を容易にする為、図1A及び図1Bに示した第一実施形態と対応する部分には対応する参照番号を付してある。本実施形態は図1の実施形態を改良したものであり、特に図2
- 15 を参照して説明した様に、十分な逆バイアス印加時間を確保できない場合に対処することを目的とする。

- 図3（A）に示す様に、対象となるトランジスタ T_{r2} （当該トランジスタ）と並列に追加の薄膜トランジスタ T_{r3} が接続されている。当該トランジスタ T_{r2} のゲートには入力信号 V_{in1} が印加されている。
- 20 前述した様に、入力信号 V_{in1} の信号源が同時に逆バイアス印加手段を構成している。一方追加トランジスタ T_{r3} のゲートには他の入力信号 V_{in2} が印加されている。この入力信号 V_{in2} の信号源は本実施形態の特徴要素である補完手段を構成している。すなわちこの補完手段は、追加トランジスタ T_{r3} を当該トランジスタ T_{r2} に対して補完的
- 25 に駆動して T_{r2} に関し動作の妨げとならないタイミングを強制的に作り出している。逆バイアス印加手段は、この強制的に作り出されたタイ

ミングで当該薄膜トランジスタ T_{r2} に逆バイアスを印加し、 T_{r2} の閾電圧の変動を抑制している。

本実施形態では、当該トランジスタ T_{r2} はNチャネル型であり、追加トランジスタ T_{r3} も同じNチャネル型である。この場合、補完手段は当該トランジスタ T_{r2} に印加される信号パルス V_{in1} と逆相の関係になる信号パルス V_{in2} を追加トランジスタ T_{r3} のゲートに印加する。 T_{r2} と T_{r3} がPチャネル型の場合も、 V_{in1} と V_{in2} は互いに逆相の関係になる。一方 T_{r2} と T_{r3} の片方がNチャネル型で他方がPチャネル型の場合、 V_{in1} と V_{in2} は同相の関係にする。

10 引続き図3 (B) を参照して図3 (A) に示したトランジスタ回路の動作を説明する。タイミング $T1$ では V_{in1} がローレベルとなり V_{in2} もローレベルとなる。この時互いに並行接続したトランジスタ T_{r2} 、 T_{r3} は両方ともオフ状態になるので、出力ノードは T_{r1} によって V_{cc} 側にプルアップされる。この結果出力信号 V_{out} はハイレベルとなる。次のタイミング $T2$ では、 V_{in1} がハイレベルに切り替わる一方、 V_{in2} はローレベルを維持する。互いに並行接続した T_{r2} 、 T_{r3} のうち片方の T_{r2} がオンするので、出力ノードは V_{ss} 側にプルダウンされる。この結果 V_{out} はローレベルに切り替わる。次のタイミング $T3$ では逆に V_{in1} がローレベルに遷移する一方、 V_{in2} がハイレベルに遷移する。これにより互いに並行接続したトランジスタ T_{r2} 、 T_{r3} のうち片方の T_{r3} がオン状態になる為、出力ノードは引続き V_{ss} 側にプルダウンされる。従って V_{out} はローレベルを維持する。これにより入出力信号の一周期が終了し、次の周期に移行する。

25 V_{in1} と V_{in2} を比較すれば明らかな様に、タイミング $T2$ 、 $T3$ で両者は互いに逆相の関係にある。特にタイミング $T3$ に着目すると、 T_{r2} がオフして非動作状態に置かれる一方、これを補完する為に T_{r3}

3 がオンして動作状態になる。T r 2 の代わりに T r 3 がオン状態となることで、出力ノードは引続き V s s 側にプルダウンされ、目的とする出力信号 V o u t を得ることができる。T r 3 の補完機能により、T r 2 に関し動作の妨げとならないタイミング T 3 が作り出されている。V i n 1 の信号源である逆バイアス印加手段は、この作り出されたタイミング T 3 で当該トランジスタ T r 2 に逆バイアスを印加している。タイミングチャートから明らかな様に、順バイアスの印加される期間 T 2 と逆バイアスが印加される期間 T 1 + T 3 はほぼバランスが取れており、閾電圧の上方変動を過不足なく下方修正することが可能になる。

10 図 4 A 及び図 4 B はトランジスタ回路の第三実施形態を示しており、図 3 に示した第二実施形態の改良例である。図 4 A は本実施形態の構成を示す回路図であり、図 4 B は動作を示すタイミングチャートである。

インバータ回路を両方とも N チャンネル型のトランジスタ T r 1, T r 2 で構成した場合、T r 1 は常に動作状態に置かれる。換言すると T r 1 は常時順バイアスが印加された状態にあり、閾電圧は経時的に上方シフトする。この上方シフトが極端に進行すると、正常な動作を妨げる場合がある。そこで本実施形態は、T r 1 に対しても補完用のトランジスタ T r 4 を並行接続している。

20 図 4 B に示す様に、タイミング T 1 及び T 2 では、T r 1 に対するゲート電圧 V 1 がハイレベルにある一方、T r 4 に対するゲート電圧 V 2 がローレベルにある。逆にタイミング T 3 及び T 4 では、V 1 がローレベルに切り替わる一方、V 2 がハイレベルになる。これにより、トランジスタ T r 1 及び T r 4 は互いに補完的に動作し、T r 1 と T r 4 の組からなるスイッチは全体として常にオン状態に維持される。その際、一方のゲート電圧 V 1 はタイミング T 3, T 4 でローレベルとなり閾電圧修正用の逆バイアスを印加することが可能である。一方 V 2 はタイミン

グT 1 及びT 2 でローレベルとなる為、同様にトランジスタT r 4 に対し閾電圧変動抑制用の逆バイアスを印加することができる。

図 5 は、本発明に係るトランジスタ回路の応用例であるアクティブマトリクス表示装置及びこれに含まれる画素回路を示す概略のブロック図である。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ 1 と周辺の回路群とで構成されている。周辺の回路群は水平セクタ 2、ドライブスキャナ 3、ライトスキャナ 4 などを含んでいる。

画素アレイ 1 は行状の走査線WS と列状の信号線DL と両者の交差する部分にマトリクス状に配列した画素回路 5 とで構成されている。信号線DL は水平セクタ 2 によって駆動される。走査線WS はライトスキャナ 4 によって走査される。尚、走査線WS と平行に別の走査線DS も配線されており、これはドライブスキャナ 3 によって走査される。各画素回路 5 は、走査線WS によって選択された時信号線DL から信号をサンプリングする。更に走査線DS によって選択された時、該サンプリングされた信号に応じて負荷素子を駆動する。この負荷素子は各画素回路 5 に形成された電流駆動型の発光素子などである。

図 6 は、図 5 に示した画素回路 5 の基本的な構成を示す参考図である。本画素回路 5 は、サンプリング用薄膜トランジスタ（サンプリングトランジスタT r 1）、ドライブ用薄膜トランジスタ（ドライブトランジスタT r 2）、スイッチング用薄膜トランジスタ（スイッチングトランジスタT r 3）、保持容量C 1、負荷素子（有機EL 発光素子）などで構成されている。

サンプリングトランジスタT r 1 は走査線WS によって選択された時導通し、信号線DL から映像信号をサンプリングして保持容量C 1 に保持する。ドライブトランジスタT r 2 は保持容量C 1 に保持された信号電位に応じて発光素子EL に対する通電量を制御する。スイッチングト

ランジスタ $T_r 3$ は走査線 $D S$ によって制御され、発光素子 $E L$ に対する通電をオン／オフする。すなわち、ドライブトランジスタ $T_r 2$ は通電量に応じて発光素子 $E L$ の発光輝度（明るさ）を制御する一方、スイッチングトランジスタ $T_r 3$ は発光素子 $E L$ の発光時間を制御している。

- 5 これらの制御により、各画素回路 5 に含まれる発光素子 $E L$ は映像信号に応じた輝度を呈し、画素アレイ 1 に所望の表示が映し出される。

図 7 は、図 6 に示した画素アレイ 1 及び画素回路 5 の動作説明に供するタイミングチャートである。1 フィールド期間（ $1 f$ ）の先頭で、1 水平期間（ $1 H$ ）の間 1 行目の画素回路 5 に走査線 $W S$ を介して選択パルス $w s [1]$ が印加され、サンプリングトランジスタ $T_r 1$ が導通する。これにより信号線 $D L$ から映像信号がサンプリングされ、保持容量 $C 1$ に書き込まれる。保持容量 $C 1$ の一端はドライブトランジスタ $T_r 2$ のゲートに接続している。従って、映像信号が保持容量 $C 1$ に書き込まれると、ドライブトランジスタ $T_r 2$ のゲート電位が、書き込まれた信号電位に応じて上昇する。この時、他の走査線 $D S$ を介してスイッチングトランジスタ $T_r 3$ に選択パルス $d s [1]$ が印加される。この間発光素子 $E L$ は発光を続ける。1 フィールド期間 $1 f$ の後半は $d s [1]$ がローレベルになるので発光素子 $E L$ は非発光状態となる。パルス $d s [1]$ のデューティを調整することで、発光期間と非発光期間の割合を調整でき、所望の画面輝度が得られる。次の水平期間に移行すると、2 行目の画素回路に対し、各走査線 $W S$ 、 $D S$ からそれぞれ走査用の信号パルス $w s [2]$ 、 $d s [2]$ が印加される。

ここで図 6 に戻り参考例として示した画素回路 5 の問題点につき説明する。参考例の画素回路 5 は、 $T_r 1 \sim T_r 3$ が全て N チャンネル型の薄膜トランジスタで構成されており、コスト的に有利な非晶質シリコン膜を活性層に使えるという利点がある。しかしながら、ドライブトランジ

スタ $T_r 2$ のドレインが電源電圧 V_{cc} に接続される一方、ソースがスイッチングトランジスタ $T_r 3$ を介して発光素子 E_L のアノードに接続されており、いわゆるソースフォロワとなっていることで問題がある。

トランジスタ $T_r 2$ のゲートには保持容量 C_1 に保持された信号電圧が印加されており、基本的には一定に維持されている。しかしながら、ソース電位は発光素子 E_L の電流／電圧特性の経時的な変化に伴い変動する。一般には発光素子 E_L の経時劣化に伴いアノード電位は上昇しその結果ソース電位も上昇する。ドライブトランジスタ $T_r 2$ は飽和領域で動作しており、前述したトランジスタ特性式で示す様に、ドレイン電流 I_{ds} はソース電位を基準にしたゲート電位 V_{gs} に依存している。ゲート電圧自体は一定に保たれているにも関わらず、 $T_r 2$ はソースフォロワとして動作するのでソース電位が発光素子 E_L の特性劣化に伴い変動し、これに応じて V_{gs} も変化する。従ってドレイン電流 I_{ds} が変動し発光素子 E_L の輝度劣化につながるという問題がある。

更にドライブトランジスタ $T_r 2$ はそれ自身閾電圧 V_{th} の経時変動がある。前述のトランジスタ特性式から明らかな様に、飽和領域で動作する場合仮に V_{gs} を一定に保っても、閾電圧 V_{th} が変動すると、ドレイン電流 I_{DS} も変化してしまい、これに伴って発光素子 E_L の輝度も変動してしまう。特に、非晶質シリコン薄膜を活性層（チャネル領域）とする薄膜トランジスタは閾電圧の経時的な変動が目立つ為、これに対処しないと発光素子の輝度を正確に制御することはできない。

図 8 A 及び図 8 B は図 6 に示した画素回路に改良を加えた別の参考例に係る画素回路を表わしている。図 8 A は構成を表わした回路図、図 8 B は動作を表わしたタイミングチャートである。

図 8 A に示す様にこの改良例は、図 6 の画素回路に、ブートストラップ回路 6 と閾電圧キャンセル回路 7 を加えた構成となっている。ブート

ストラップ回路 6 は発光素子 E_L の特性変動を吸収する様に、ドライブトランジスタ T_{r2} のゲート (G) に印加される信号電位のレベルを自動的に制御するものであり、スイッチングトランジスタ T_{r4} を含んでいる。このスイッチングトランジスタ T_{r4} のゲートには走査線 W_S が

5 接続し、ソースは電源電位 V_{ss} に接続し、ドレインは保持容量 C_1 の一端に接続するとともにドライブトランジスタ T_{r2} のソース (S) に接続している。走査線 W_S に選択パルスが印加されると、サンプリングトランジスタ T_{r1} がオンするとともにスイッチングトランジスタ T_{r4} もオンする。これにより、結合容量 C_2 を介して保持容量 C_1 に映像

10 信号 V_{sig} が書き込まれる。この後走査線 W_S から選択パルスが解除されるとスイッチングトランジスタ T_{r4} がオフする為、保持容量 C_1 は電源電位 V_{ss} から切り離され、ドライブトランジスタ T_{r2} のソース (S) に結合される。この後走査線 D_S に選択パルスが印加されるとスイッチングトランジスタ T_{r3} がオンしドライブトランジスタ T_{r2}

15 を通って駆動電流が発光素子 E_L に供給される。発光素子 E_L は発光を開始するとともにその電流/電圧特性に応じアノード電位が上昇しドライブトランジスタ T_{r2} のソース電位の上昇をもたらす。この時保持容量 C_1 は V_{ss} から切り離されている為ソース電位の上昇とともに保持された信号電位も上昇 (ブートストラップ) し、ドライブトランジスタ

20 T_{r2} のゲート (G) の電位上昇をもたらす。すなわち、発光素子 E_L の特性変動があっても、ドライブトランジスタ T_{r2} のゲート電圧 V_g は常に保持容量 C_1 に保持された正味の信号電位と一致する様になっている。この様なブートストラップ動作により、発光素子 E_L の特性変動があっても、常にドライブトランジスタ T_{r2} のドレイン電流は保持

25 容量 C_1 に保持された信号電位によって一定に保たれ、発光素子 E_L の輝度の変化が生じない。この様なブートストラップ手段 6 を追加するこ

とで、ドライブトランジスタ T_{r2} は発光素子 E_L に対し正確な定電流源として機能できる。

- 5 閾電圧キャンセル回路 7 はドライブトランジスタ T_{r2} の閾電圧の変動をキャンセルする様にドライブトランジスタ T_{r2} のゲート (G) に印加される信号電位のレベルを調節するものであり、スイッチングトランジスタ T_{r5} , T_{r6} を含んでいる。スイッチングトランジスタ T_{r5} のゲートは別の走査線 A_Z に接続され、ドレイン/ソースはドライブトランジスタ T_{r2} のゲートとドレインとの間に接続されている。スイッチングトランジスタ T_{r6} のゲートは同じく走査線 A_Z に接続され、
- 10 ソースは所定のオフセット電圧 V_{ofs} に接続され、ドレインは結合容量 C_2 の一方の電極に接続されている。尚、図示の例ではオフセット電圧 V_{ofs} 、電源電位 V_{ss} 、カソード電圧 (GND) はそれぞれ異なった電位を取り得るが、場合により全て共通の電位 (例えば GND) に合わせてもよい。
- 15 走査線 A_Z に制御パルスが印加されるとスイッチングトランジスタ T_{r5} が導通し、 V_{cc} 側からドライブトランジスタ T_{r2} のゲートに向かって電流が流れる為、ゲート (G) 電位が上昇する。これによりドライブトランジスタ T_{r2} にドレイン電流が流れ出し、ソース (S) の電位が上昇する。ちょうどゲート電位 (G) とソース電位 (S) の電位差
- 20 V_{gs} がドライブトランジスタ T_{r2} の閾電圧 V_{th} と一致したところで、前述のトランジスタ特性式に従って、ドレイン電流は流れなくなる。この時のソース/ゲート間電圧 V_{gs} がトランジスタ T_{r2} の閾電圧 V_{th} として保持容量 C_1 に書き込まれる。この保持容量 C_1 に書き込まれた V_{th} は信号電位 V_{sig} に上載せしてドライブトランジスタ T_{r2} のゲートに印加されるので、閾電圧 V_{th} の効果はキャンセルされる。
- 25 従ってドライブトランジスタ T_{r2} の閾電圧 V_{th} が経時的に変動して

も、閾電圧キャンセル回路 7 はこの変動をキャンセルすることができる。

図 8 B は各走査線 $W S$, $D S$, $A Z$ に印加される走査パルス波形とドライブトランジスタ $T r 2$ のゲート (G) 及びソース (S) の電位波形を表わすタイミングチャートである。図示する様に $V t h$ キャンセル期間に入ると走査線 $A Z$ にパルスが印加され、スイッチングトランジスタ $T r 5$ が導通して、 $T r 2$ のゲート電位が上昇する。その後走査線 $D S$ のパルスが立ち下がる為電源 $V c c$ 側からの電流供給が断たれる。これによりゲート電位とソース電位の差が縮小しちょうど $V t h$ となったところで電流が 0 になる。この結果、 $V t h$ が $T r 2$ のゲート / ソース間に接続された保持容量 $C 1$ に書き込まれる。次に走査線 $W S$ に選択パルスが印加されるとサンプリングトランジスタ $T r 1$ がオンし、結合容量 $C 2$ を介して保持容量 $C 1$ に信号 $V s i g$ が書き込まれる。これにより、ドライブトランジスタ $T r 2$ のゲートに入力される信号 $V i n$ は先に書き込まれた $V t h$ と所定のゲインで保持された $V s i g$ の和となる。更に走査線 $D S$ にパルスが印加され、スイッチングトランジスタ $T r 3$ がオンする。これによりドライブトランジスタ $T r 2$ が入力ゲート信号 $V i n$ に応じてドレイン電流を発光素子 $E L$ に供給し、発光が開始する。これにより発光素子 $E L$ のアノード電位が ΔV だけ上昇するが、ブートストラップ効果によりこの ΔV がドライブトランジスタ $T r 2$ に対する入力信号 $V i n$ に上載せられる。以上の閾電圧キャンセル機能及びブートストラップ機能により、ドライブトランジスタ $T r 2$ の閾電圧変動や発光素子 $E L$ の特性変動があっても、これらをキャンセルして発光輝度を一定に保つことが可能である。

ところでドライブトランジスタ $T r 2$ のゲートには 1 フィールド期間 $1 f$ を通してソースよりも高い電圧が印加されており、常時順バイアスがかかった状態となっている。ゲートに対する順バイアスの継続的な印

加により、ドライブトランジスタ $T_r 2$ の閾電圧 V_{th} は上方変動する。この変動は閾電圧キャンセル回路 7 によりキャンセル可能であるが、変動が程度を超えるとキャンセル機能が追いつかず発光素子 E_L の輝度変化をもたらす恐れがある。又スイッチングトランジスタ $T_r 3$ は発光期間中オン状態となり順バイアスがかかっている。これによりスイッチングトランジスタ $T_r 3$ の閾電圧は上方変動し、最悪の場合にはスイッチングトランジスタ $T_r 3$ が常時カットオフ状態に陥ることも有り得る。

図 9 は本発明に係る画素回路の一実施形態を示しており、図 8 A の画素回路の問題点に対処する為、ドライブトランジスタ $T_r 2$ 及びスイッチングトランジスタ $T_r 3$ にそれぞれ閾電圧変動抑制用の逆バイアス印加手段を付けたものである。

ドライブトランジスタ $T_r 2$ に対する逆バイアス印加手段は、スイッチングトランジスタ $T_r 7$ で構成されている。 $T_r 7$ のゲートには追加の走査線 $WS 2$ が接続し、ソースには負電源 V_{mb} が接続し、ドレインはドライブトランジスタ $T_r 2$ のゲート (G) に接続している。この走査線 $WS 2$ はサンプリングトランジスタ $T_r 1$ やスイッチングトランジスタ $T_r 4$ に接続する走査線 $WS 1$ と走査タイミングが異なる為、両者を別々に分けて、 $WS 1$ と $WS 2$ にしている。ここで負電源 V_{mb} の電位は接地電位 GND よりも低く設定されている。従って画素回路の動作に影響を与えないタイミングで $WS 2$ に選択パルスが印加されると、 $T_r 7$ がオンしドライブトランジスタ $T_r 2$ のゲート (G) に逆バイアス (V_{mb}) を印加することができる。これにより順バイアスの継続的な印加で上方シフトしたトランジスタ $T_r 2$ の閾電圧 V_{th} を下方修正することができる。

スイッチングトランジスタ $T_r 3$ に対する逆バイアス印加手段は、走査線 $DS 1$ に接続したドライブスキャナ 3 (図 5 参照) に組み込まれて

いる。発光期間ではスイッチングトランジスタ $T_r 3$ のゲートに走査線 $D S 1$ を介して順バイアスが印加され、ドレイン電流が V_{cc} から GND に向かって流れる。非発光期間に入ると走査線 $D S 1$ の電位が GND 以下となり、スイッチングトランジスタ $T_r 3$ に逆バイアスが印加される。これにより $T_r 3$ の閾電圧の上方変動を下方修正できる。

図 10 は、図 9 に示した画素回路の動作説明に供するタイミングチャートである。走査線 $W S 1$ に印加されるパルス $w s 1$ で表わし、走査線 $W S 2$ に印加されるパルス $w s 2$ で表わし、走査線 $A Z$ に印加されるパルス $a z$ で表わし、走査線 $D S 1$ に印加されるパルス $d s 1$ で表わしている。更に、ドライブトランジスタ $T_r 2$ のゲート電位 (G)、ドレイン電位 (D) 及びソース電位 (S) の変動をパルス $d s 1$ のレベル変化と重ねて表わしてある。尚、ドライブトランジスタ $T_r 2$ のドレイン電位 (D) は同時にスイッチングトランジスタ $T_r 3$ のソース電位となっている。

V_{th} キャンセル期間ではパルス $a z$ がトランジスタ $T_r 5$ 及び $T_r 6$ に印加され、ドライブトランジスタ $T_r 2$ の閾電圧 V_{th} が検知される。この検知された V_{th} は $T_r 2$ のゲート電位 (G) とソース電位 (S) との間の差として保持容量 $C 1$ に保持される。次にパルス $w s 1$ がサンプリングトランジスタ $T_r 1$ 及びスイッチングトランジスタ $T_r 4$ に印加されると、映像信号 V_{sig} がサンプリングされ、結合容量 $C 2$ を介して保持容量 $C 1$ に書き込まれる。保持容量 $C 1$ に書き込まれた V_{th} 及び V_{sig} の和が、 $T_r 2$ のゲート電位 (G) とソース電位 (S) の差としてタイミングチャートに表われている。更に発光期間に入ってスイッチングトランジスタ $T_r 3$ にパルス $d s 1$ が印加されると、ドライブトランジスタ $T_r 2$ を通してドレイン電流が発光素子 $E L$ に流れる。これによりソース電位 (S) が上昇するが、ブートストラップ機能によ

りゲート電位 (G) との電位差は一定に保たれる。ソース電位 (S) の上昇に伴ってドレイン電位 (D) も上昇する。このドレイン電位 (D) はスイッチングトランジスタ T_{r3} のソース電位となっているが、パルス D_{S1} の振幅はこのドレイン電位 (D) よりも十分高く設定されているので、トランジスタ T_{r3} のオン動作に必要な順バイアス V_a が印加
5 できる。その後非発光期間に入るとパルス D_{S1} がローレベルに切り替わり、トランジスタ T_{r3} はカットオフする。ドレイン電流の遮断によりドライブトランジスタ T_{r2} のドレイン電位 (D) は V_{cc} 側から GND まで下がる。この時パルス D_{S1} のローレベルは GND よりも低く
10 設定されている為、スイッチングトランジスタ T_{r3} のゲートには逆バイアス V_b が印加される。又非発光期間にはトランジスタ T_{r7} のゲートにパルス w_{s2} が印加される。これにより T_{r7} が導通し逆バイアス V_{mb} がドライブトランジスタ T_{r2} のゲート (G) に印加される。

以上の説明から明らかな様に、ドライブトランジスタ T_{r2} 及びスイッチングトランジスタ T_{r3} にそれぞれ適切なタイミングで逆バイアス
15 が印加される為、それぞれの閾電圧の変動を抑制できる。しかしながら、スイッチングトランジスタ T_{r3} については若干改善すべき余地があるので、この点につき説明を加える。トランジスタ T_{r3} の動作点を考える場合、パルス d_{s1} の電圧レベルとドライブトランジスタのドレイン
20 電圧 (D) を考えればよいことは上述の通りである。発光期間中スイッチングトランジスタ T_{r3} はオンしているので、パルス d_{s1} の H 電位はドレイン電位 (D) よりも T_{r3} の V_{th} 以上高くなっており、 V_a 電圧がかかっている。つまり発光期間ではトランジスタ T_{r3} のゲート／ソース間に順バイアスがかかる。この後非発光期間になるとパルス D_{S1} の L レベルが GND 以下となるので逆バイアスが印加される。この
25 逆バイアス期間では、ドレイン電位 (D) がリークなどの原因でカソー

ド電位 (GND) 若しくはその付近まで低下してしまう。この期間トランジスタ $T_r 3$ はオフ状態である為、結局トランジスタ $T_r 3$ のゲート／ソース間には V_b だけ逆バイアスがかかる。よってトランジスタ $T_r 3$ には順バイアス及び逆バイアスの両者がかかる為、 $T_r 3$ の V_{th} 変動はある程度防ぐことができる。しかしながら、1フィールド期間 (1 f) に占める発光時間を長くすると非発光時間は圧迫を受け短くなる。よって逆バイアス印加時間も短くなるが、その分閾電圧の下方修正を効果的に行なう必要があり、 V_b の絶対値を大きく設定する必要がある。しかしながら、 V_b の絶対値を大きくするとパルス $d s 1$ の振幅が増え、コスト増につながる。又トランジスタ $T_r 3$ の耐圧にも大きく影響してしまい、コストのみならず歩留りにも影響がある。

図 11 は、図 9 に示した画素回路を更に改良した実施形態を表わしており、理解を容易にする為図 9 の画素回路と対応する部分には対応する参照番号を付してある。改良点は、問題となったトランジスタ $T_r 3$ と並列に追加のトランジスタ $T_r 8$ を接続するとともに、そのゲートに走査線 $D S 2$ を介して補完手段を接続したことである。この補完手段は追加トランジスタ $T_r 8$ をスイッチングトランジスタ $T_r 3$ に対して補完的に駆動して、 $T_r 3$ に関し動作の妨げとならないタイミングを作り出している。走査線 $D S 1$ を介してスイッチングトランジスタ $T_r 3$ に接続した逆バイアス印加手段は、この作り出されたタイミングでトランジスタ $T_r 3$ に逆バイアスを印加する様にしている。

図 12 は、図 11 に示した画素回路の動作説明に供するタイミングチャートである。理解を容易にする為図 10 に示した先の実施形態のタイミングチャートと対応する部分には対応する参照符号を使っている。特徴点は、スイッチングトランジスタ $T_r 3$ のゲートに印加されるパルス $D S 1$ と追加トランジスタ $T_r 8$ のゲートに印加されるパルス $D S 2$ が

互いに逆相の関係にあることである。発光期間中スイッチングトランジスタ $T_r 3$ のゲートには順バイアス V_a が印加される。これは図 9 の実施形態と同様である。次に非発光期間に入るとパルス $DS 1$ が GND を下回ってローレベルとなり、スイッチングトランジスタ $T_r 3$ がオフになる。この時トランジスタ $T_r 8$ が補完的に動作してオン状態となる為、
5 ドライブトランジスタ $T_r 2$ には引続き電源 V_{cc} 側から電流が供給される。従ってドライブトランジスタ $T_r 2$ のドレイン電位 (D) はカソード電位 (GND) まで落ちず、電源電位 V_{cc} 若しくはその近辺の電位を取ることができる。この為非発光期間に含まれる逆バイアス期間中、
10 スwitchングトランジスタ $T_r 3$ のゲート/ソース間電圧は絶対値で $V_{cc} + V_b$ となり、非常に大きな逆バイアスを印加することができる。これにより、スイッチングトランジスタ $T_r 3$ に大振幅のパルス $DS 1$ を印加しなくても、閾電圧の上方変動を効果的に下方修正することが可能である。この様に、非晶質シリコン薄膜トランジスタや多結晶シリコン
15 薄膜トランジスタの閾電圧が変動しても画素回路で補正をかけることができる為、発光素子 EL の輝度劣化を防ぐことができ、高品質なアクティブマトリクス型ディスプレイを提供できる。特に発光のオンオフ制御を行なうトランジスタのゲートに印加されるパルスの振幅を大きくする必要がない為、ドライバの低コスト化が実現できる。そしてドライブ
20 トランジスタの V_{th} 変動を補正しながら、スイッチングトランジスタの V_{th} 変動も容易に補正できる。

産業上の利用可能性

薄膜トランジスタは、正のゲート電圧（順バイアス）が反復的若しくは
25 は持続的に印加されると、閾電圧が正方向にシフトする傾向がある。逆に負のゲート電圧（逆バイアス）が反復的若しくは持続的に印加される

と、閾電圧は負方向に変動する傾向がある。トランジスタ回路の機能や動作条件によっては、回路配線を介してゲートとソースの間に反復的若しくは持続的に順バイアスが係る薄膜トランジスタが含まれることがある。当該薄膜トランジスタはこの様な順バイアスにより閾電圧が経時的にシフトする。これを放置すると当該トランジスタのカットオフ動作の乱れなどにより、トランジスタ回路の誤動作を招く恐れがある。そこで、本発明では、トランジスタ回路の動作上若しくは機能上、反復的若しくは持続的に順バイアスの印加が避けられない薄膜トランジスタについては、動作の妨げとならないタイミングで逆バイアスを印加している。これにより、順バイアスで正方向にシフトした閾電圧を負方向に戻すことができ、結果的に閾電圧の変動を抑制できる。

場合によっては順バイアスの印加がほとんど継続的に行なわれる様な薄膜トランジスタでは、逆バイアスを印加する為に十分なタイミングを取れない場合がある。この様な薄膜トランジスタに対しては、追加薄膜トランジスタを並列接続し、当該薄膜トランジスタに対して追加トランジスタを補完的に駆動することで、逆バイアスを印加するタイミングを強制的に作り出す様にしている。これにより、継続的な順バイアスの印加で閾電圧の上方シフトが避けられない薄膜トランジスタについても、補完用の追加薄膜トランジスタを並列接続することで、強制的に閾電圧を下方修正することができる。

請 求 の 範 囲

1. 基板に形成された複数の薄膜トランジスタと、所定の動作を行なう様に各薄膜トランジスタのゲート、ソース又はドレインを接続する配線とを含むトランジスタ回路であって、

動作中少なくとも1個配線を介してゲートとソースの間に反復的若しくは持続的に順バイアスがかかる薄膜トランジスタを含むとともに、

該動作の妨げとならないタイミングで当該薄膜トランジスタのゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの閾電圧の変動を抑制する逆バイアス印加手段を備えたことを特徴とするトランジスタ回路。

2. 当該薄膜トランジスタに並列接続した追加薄膜トランジスタと、該追加薄膜トランジスタを当該薄膜トランジスタに対して補完的に駆動して上記した動作の妨げとならないタイミングを作り出す補完手段とを備え、

前記逆バイアス印加手段は、該作り出されたタイミングで当該薄膜トランジスタに逆バイアスを印加することを特徴とする請求項1記載のトランジスタ回路。

3. 当該薄膜トランジスタはNチャネル型又はPチャネル型であり、前記追加薄膜トランジスタも同じNチャネル型又はPチャネル型であり、前記補完手段は、当該薄膜トランジスタのゲートに印加されるパルスと逆相の関係になるパルスを前記追加薄膜トランジスタのゲートに印加することを特徴とする請求項2記載のトランジスタ回路。

4. 当該薄膜トランジスタはNチャネル型又はPチャネル型であり、前記追加薄膜トランジスタは反対のPチャネル型又はNチャネル型であり、前記補完手段は、当該薄膜トランジスタのゲートに印加されるパル

スと同相の関係になるパルスを前記追加薄膜トランジスタに印加することを特徴とする請求項 2 記載のトランジスタ回路。

5 5. 行状の走査線と列状の走査線との各交差部に配され、該走査線によって選択された時該信号線から信号をサンプリングし且つサンプリングした信号に応じて負荷素子を駆動する画素回路であって、

基板に形成された複数の薄膜トランジスタと、各薄膜トランジスタのゲート、ソース又はドレインを接続する配線とからなり、

10 負荷素子の駆動中少なくとも 1 個配線を介してゲートとソースの間に反復的若しくは持続的に順バイアスがかかる薄膜トランジスタを含むとともに、

負荷素子の駆動の妨げとならないタイミングで当該薄膜トランジスタのゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの閾電圧の変動を抑制する逆バイアス印加手段を備えたことを特徴とする画素回路。

15 6. 当該薄膜トランジスタに並列接続した追加薄膜トランジスタと、該追加薄膜トランジスタを当該薄膜トランジスタに対して補完的に動作して上記した負荷素子の駆動の妨げとならないタイミングを作り出す補完手段とを備え、

20 前記逆バイアス印加手段は、該作り出されたタイミングで当該薄膜トランジスタに逆バイアスを印加することを特徴とする請求項 5 記載の画素回路。

7. 当該薄膜トランジスタは N チャネル型又は P チャネル型であり、前記追加薄膜トランジスタも同じ N チャネル型又は P チャネル型であり、前記補完手段は、当該薄膜トランジスタのゲートに印加されるパルスと
25 逆相の関係になるパルスで前記追加薄膜トランジスタのゲートに印加することを特徴とする請求項 6 記載の画素回路。

8. 当該薄膜トランジスタはNチャネル型又はPチャネル型であり、前記追加薄膜トランジスタは反対のPチャネル型又はNチャネル型であり、前記補完手段は、当該薄膜トランジスタのゲートに印加されるパルスと同相の関係になるパルスを前記追加薄膜トランジスタに印加することを特徴とする請求項6記載の画素回路。

9. 前記複数の薄膜トランジスタは、該走査線によって選択された時導通し該信号線から信号をサンプリングして保持容量に保持するサンプリング用薄膜トランジスタと、該保持容量に保持された信号電位に応じて該負荷素子に対する通電量を制御するドライブ用薄膜トランジスタと、
10 該負荷素子に対する通電をオン／オフ制御するスイッチング用薄膜トランジスタとを含み、前記逆バイアス印加手段は、該ドライブ用薄膜トランジスタ及び該スイッチング用薄膜トランジスタの少くとも一方に逆バイアスをかけることを特徴とする請求項5記載の画素回路。

10. 該ドライブ用薄膜トランジスタの閾電圧の変動をキャンセルする様に、該ドライブ用薄膜トランジスタのゲートに印加される信号電位のレベルを調整する閾電圧キャンセル手段を含むことを特徴とする請求項9記載の画素回路。

11. 該負荷素子の特性変動を吸収する様に、該ドライブ用薄膜トランジスタのゲートに印加される信号電位のレベルを自動的に制御するブートストラップ手段を含むことを特徴とする請求項9記載の画素回路。

12. 行状の走査線と、列状の走査線と、これらが交差する部分に配された画素回路とからなる表示装置であって、

該画素回路は、該走査線によって選択された時該信号線から映像信号をサンプリングし且つサンプリングした映像信号に応じて発光素子を駆
25 動し、

該画素回路は、基板に形成された複数の薄膜トランジスタと、各薄膜

トランジスタのゲート、ソース又はドレインを接続する配線とからなり、
発光素子の駆動中少なくとも 1 個配線を介してゲートとソースの間に反
復的若しくは持続的に順バイアスがかかる薄膜トランジスタを含むとと
もに、

- 5 発光素子の駆動の妨げとならないタイミングで当該薄膜トランジスタ
のゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの
閾電圧の変動を抑制する逆バイアス印加手段を備えたことを特徴とする
表示装置。

- 1 3. 当該薄膜トランジスタに並列接続した追加薄膜トランジスタと、
10 該追加薄膜トランジスタを当該薄膜トランジスタに対して補完的に動作
して該発光素子の駆動の妨げとならないタイミングを作り出す補完手段
とを備え、

- 前記逆バイアス印加手段は、該作り出されたタイミングで当該薄膜ト
ランジスタに逆バイアスを印加することを特徴とする請求項 1 2 記載の
15 表示装置。

- 1 4. 当該薄膜トランジスタは N チャネル型又は P チャネル型であり、
前記追加薄膜トランジスタも同じ N チャネル型又は P チャネル型であり、
前記補完手段は、当該薄膜トランジスタのゲートに印加されるパルスと
逆相の関係になるパルスを前記追加薄膜トランジスタのゲートに印加す
20 ることを特徴とする請求項 1 3 記載の表示装置。

- 1 5. 当該薄膜トランジスタは N チャネル型又は P チャネル型であり、
前記追加薄膜トランジスタは反対の P チャネル型又は N チャネル型であ
り、前記補完手段は、当該薄膜トランジスタのゲートに印加されるパル
スと同相の関係になるパルスを前記追加薄膜トランジスタに印加するこ
25 とを特徴とする請求項 1 3 記載の表示装置。

- 1 6. 前記複数の薄膜トランジスタは、該走査線によって選択された

時導通し該信号線から映像信号をサンプリングして保持容量に保持するサンプリング用薄膜トランジスタと、該保持容量に保持された信号電位に応じて該発光素子に対する通電量を制御するドライブ用薄膜トランジスタと、該発光素子に対する通電をオン／オフ制御するスイッチング用薄膜トランジスタとを含み、前記逆バイアス印加手段は、該ドライブ用薄膜トランジスタ及び該スイッチング用薄膜トランジスタの少くとも一方に逆バイアスをかけることを特徴とする請求項 12 記載の表示装置。

17. 該ドライブ用薄膜トランジスタの閾電圧の変動をキャンセルする様に、該ドライブ用薄膜トランジスタのゲートに印加される信号電位のレベルを調整する閾電圧キャンセル手段を含むことを特徴とする請求項 16 記載の表示装置。

18. 該負荷素子の特性変動を吸収する様に、該ドライブ用薄膜トランジスタのゲートに印加される信号電位のレベルを自動的に制御するブートストラップ手段を含むことを特徴とする請求項 16 記載の表示装置。

19. 基板に形成された複数の薄膜トランジスタと、所定の動作を行なう様に各薄膜トランジスタのゲート、ソース又はドレインを接続する配線とを含むトランジスタ回路の駆動方法であって、

動作中少くとも 1 個の薄膜トランジスタに対し配線を介してゲートとソースの間に反復的若しくは持続的に順バイアスをかける順バイアス印加手順と、

該動作の妨げとならないタイミングで当該薄膜トランジスタのゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの閾電圧の変動を抑制する逆バイアス印加手順とを行なうことを特徴とするトランジスタ回路の駆動方法。

20. 当該薄膜トランジスタに並列接続した追加薄膜トランジスタを、当該薄膜トランジスタに対して補完的に駆動して、上記した動作の妨げ

とならないタイミングを作り出す補完手順を含み、

前記逆バイアス印加手順は、該作り出されたタイミングで当該薄膜トランジスタに逆バイアスを印加することを特徴とする請求項 19 記載のトランジスタ回路の駆動方法。

5 21. 行状の走査線と列状の走査線との各交差部に配され、該走査線によって選択された時該信号線から信号をサンプリングし且つサンプリングした信号に応じて負荷素子を駆動するために、基板に形成された複数の薄膜トランジスタと、各薄膜トランジスタのゲート、ソース又はドレインを接続する配線とからなる画素回路の駆動方法であって、

10 負荷素子の駆動中少なくとも 1 個の薄膜トランジスタに対して、配線を介しゲートとソースの間に反復的若しくは持続的に順バイアスをかける順バイアス印加手順と、

負荷素子の駆動の妨げとならないタイミングで当該薄膜トランジスタのゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの
15 閾電圧の変動を抑制する逆バイアス印加手順とを行なうことを特徴とする画素回路の駆動方法。

22. 当該薄膜トランジスタに並列接続した追加薄膜トランジスタを、当該薄膜トランジスタに対して補完的に動作して、上記した負荷素子の駆動の妨げとならないタイミングを作り出す補完手順を含み、

20 前記逆バイアス印加手順は、該作り出されたタイミングで当該薄膜トランジスタに逆バイアスを印加することを特徴とする請求項 21 記載の画素回路の駆動方法。

23. 行状の走査線と、列状の走査線と、これらが交差する部分に配された画素回路とからなり、該画素回路は、該走査線によって選択された時該信号線から映像信号をサンプリングし且つサンプリングした映像
25 信号に応じて発光素子を駆動し、該画素回路は、基板に形成された複数

の薄膜トランジスタと、各薄膜トランジスタのゲート、ソース又はドレインを接続する配線とからなる表示装置の駆動方法であって、

発光素子の駆動中少なくとも 1 個の薄膜トランジスタに対して、配線を介してゲートとソースの間に反復的若しくは持続的に順バイアスをかけ

5 順バイアス印加手順と、

発光素子の駆動の妨げとならないタイミングで当該薄膜トランジスタのゲートとソースの間に逆バイアスを印加して当該薄膜トランジスタの閾電圧の変動を抑制する逆バイアス印加手順とを行なうことを特徴とする表示装置の駆動方法。

10 24. 当該薄膜トランジスタに並列接続した追加薄膜トランジスタを、当該薄膜トランジスタに対して補完的に動作して、該発光素子の駆動の妨げとならないタイミングを作り出す補完手順を含み、

前記逆バイアス印加手順は、該作り出されたタイミングで当該薄膜トランジスタに逆バイアスを印加することを特徴とする請求項 23 記載の

15 表示装置の駆動方法。

1/12

Fig.1A

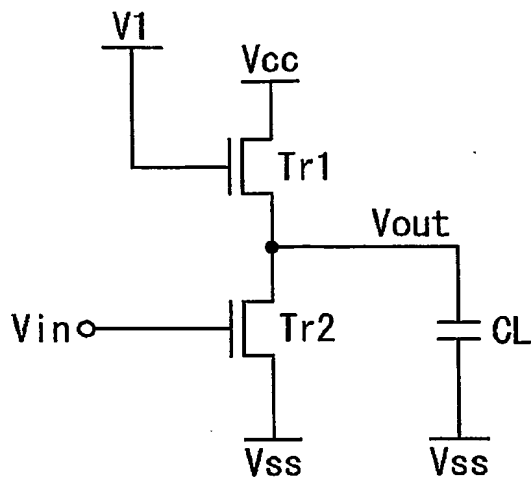


Fig.1B

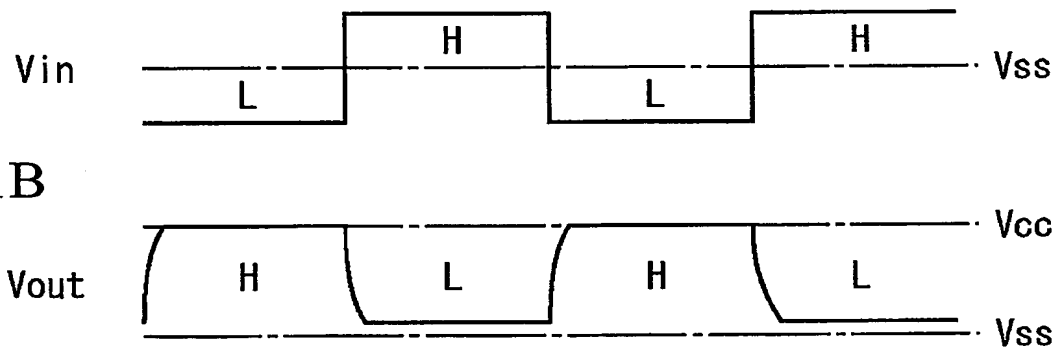
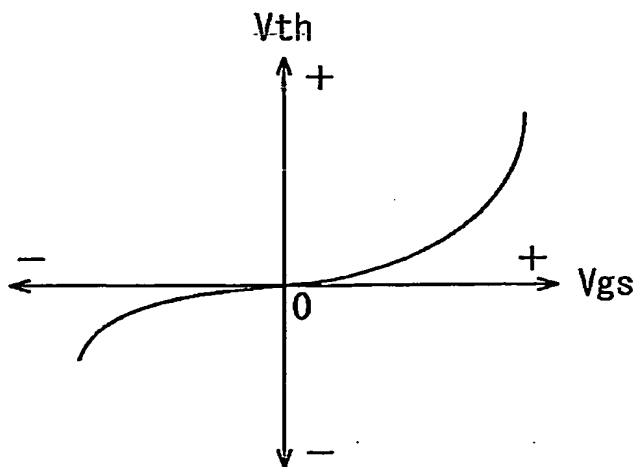


Fig.1C



2/12

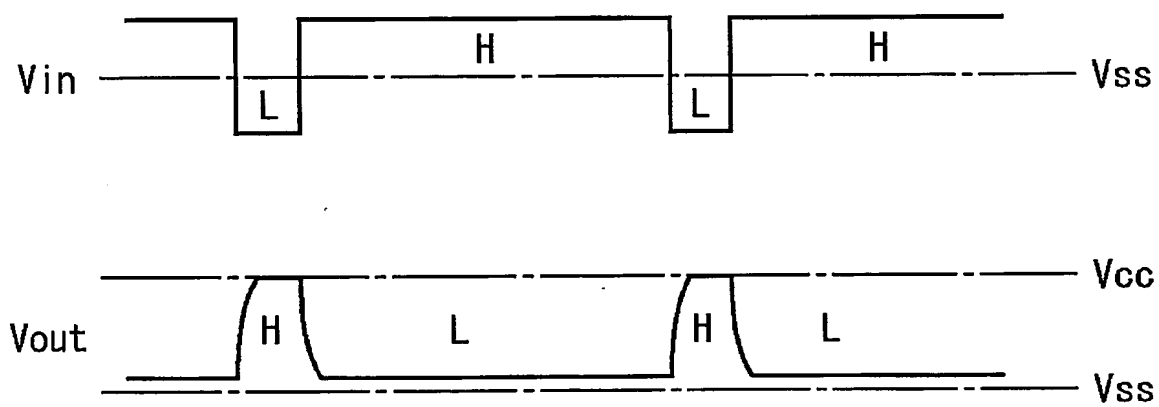


Fig.2

3/12

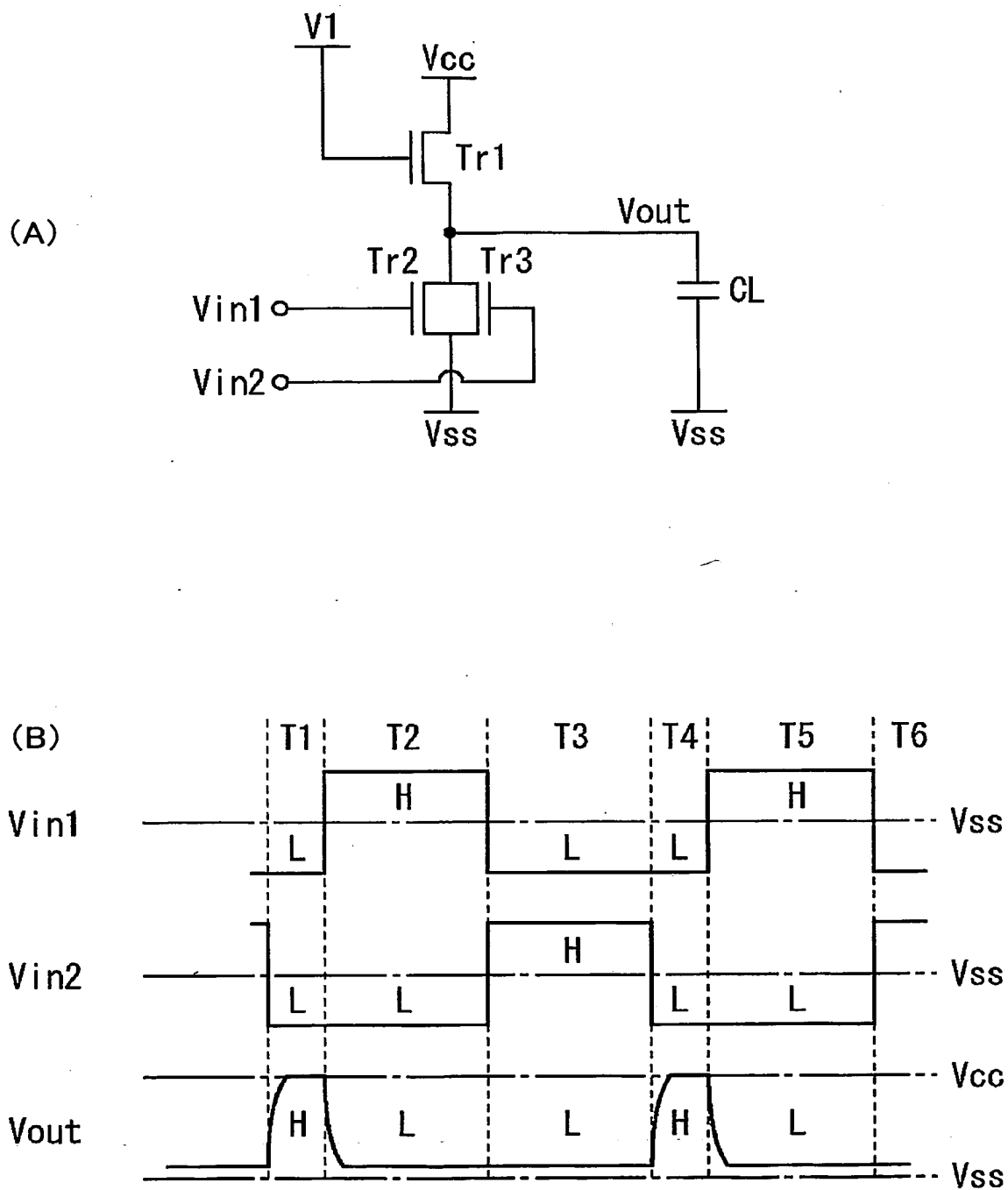


Fig.3

4/12

Fig.4A

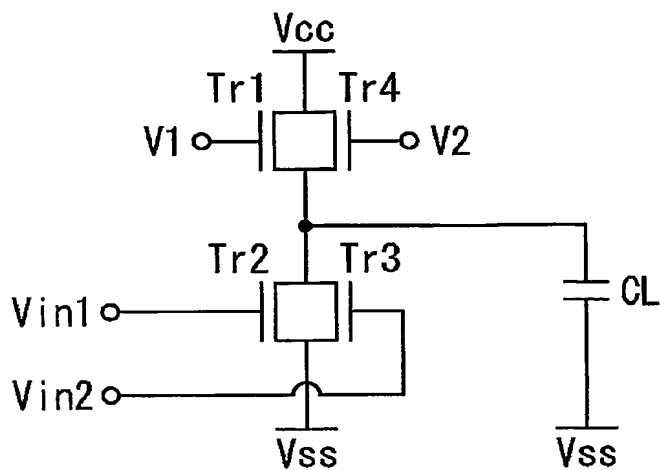
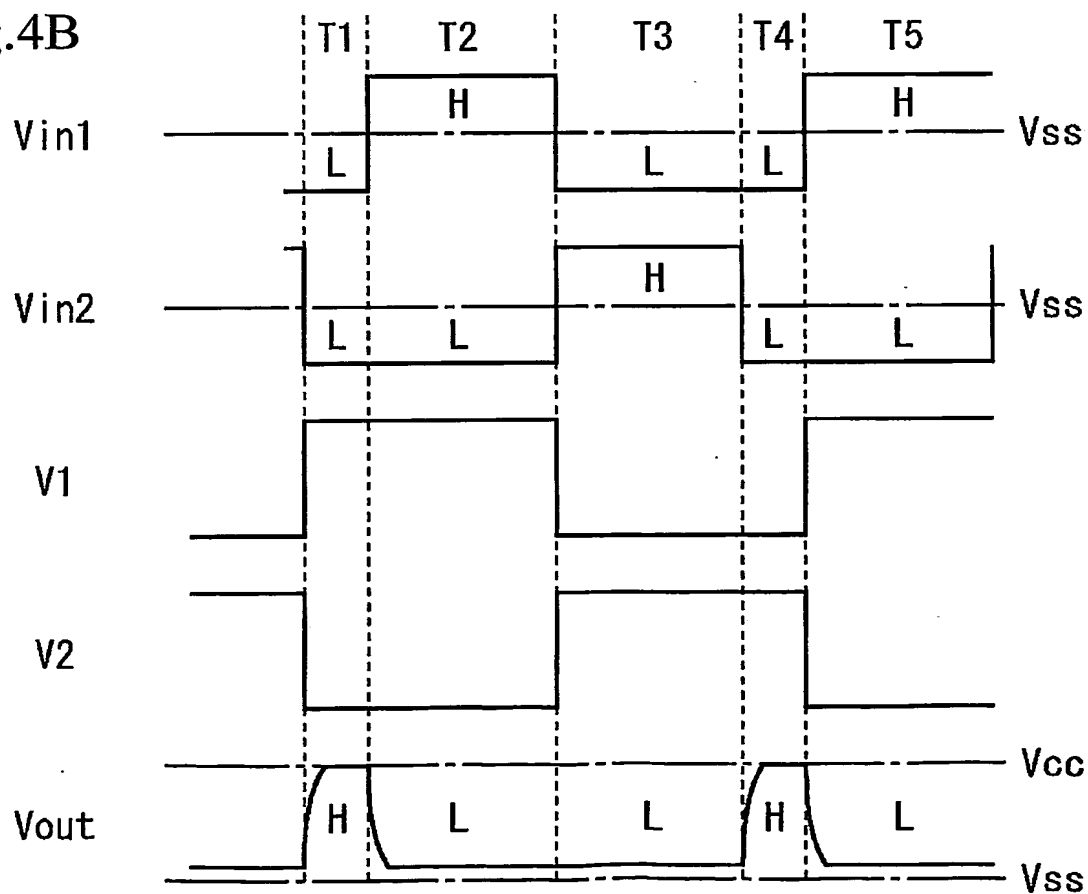


Fig.4B



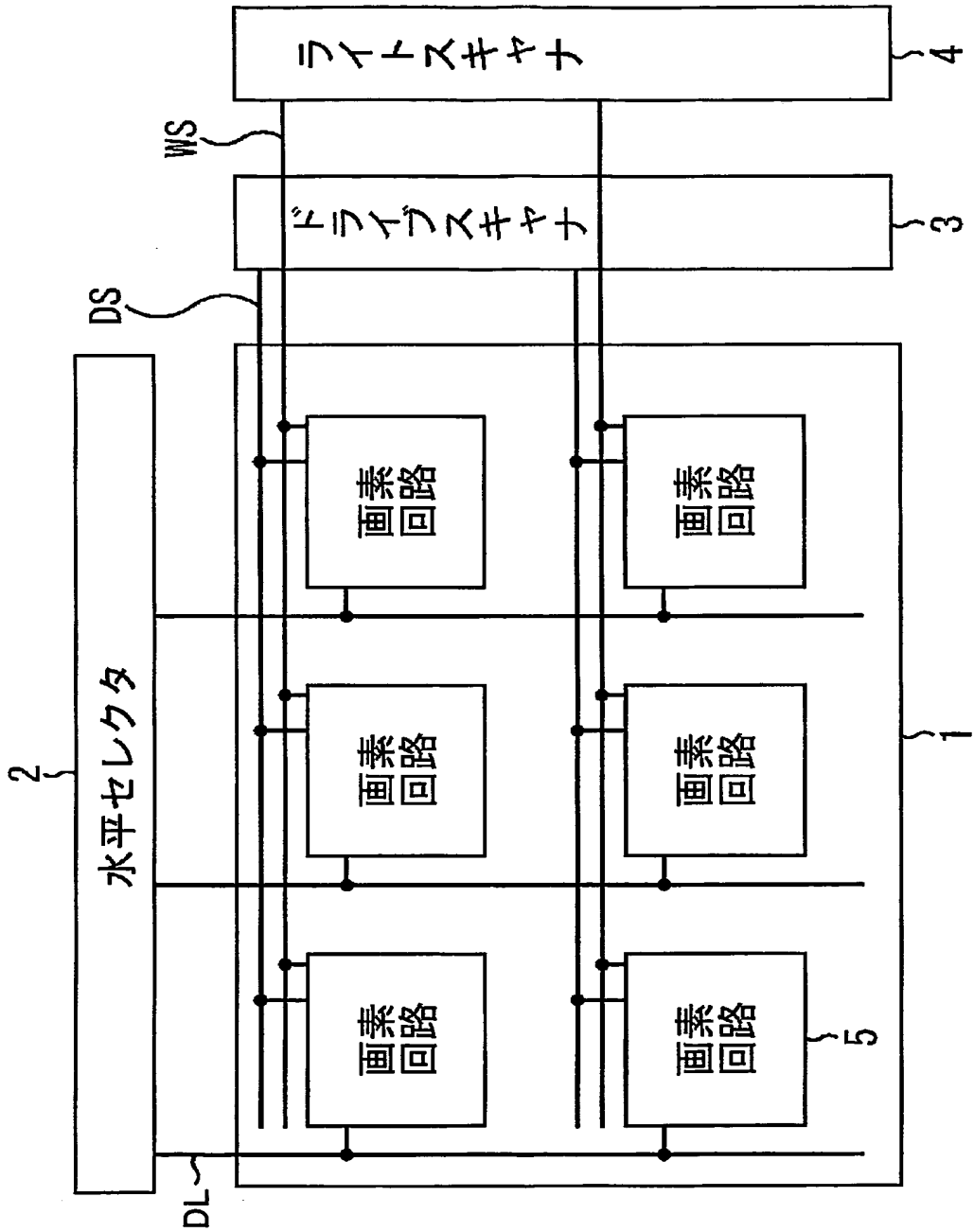


Fig.5

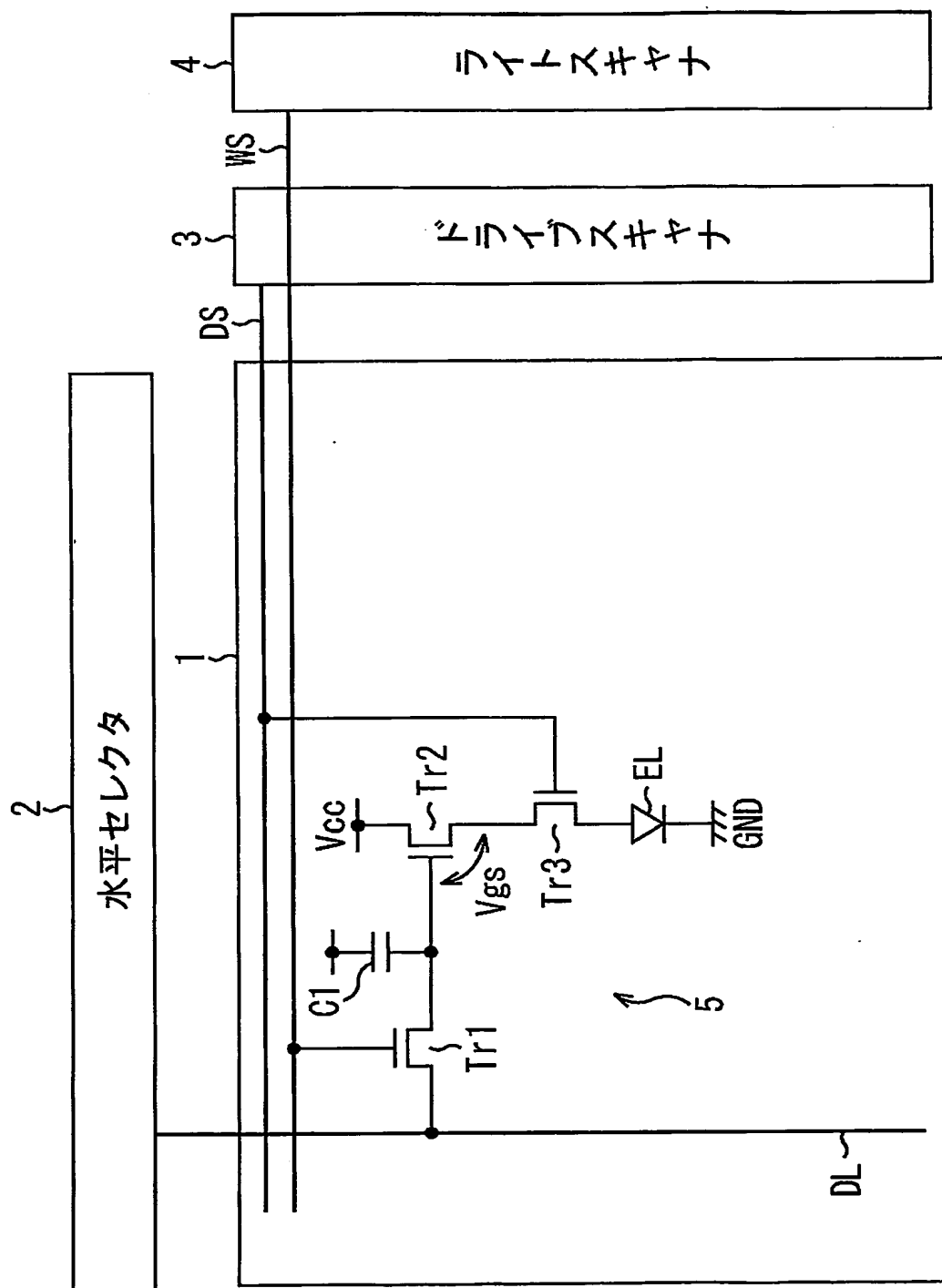


Fig. 6

7/12

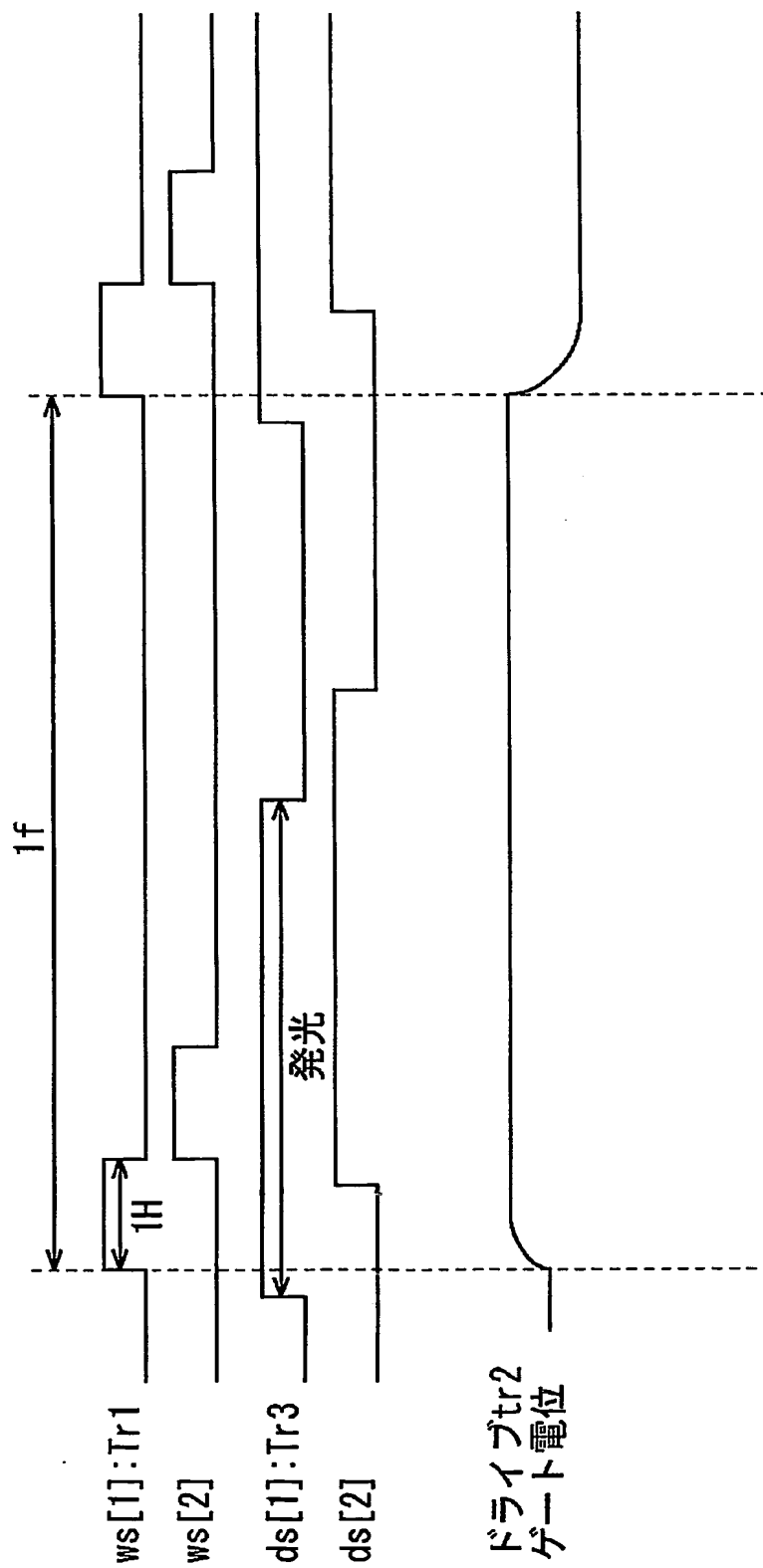


Fig.7

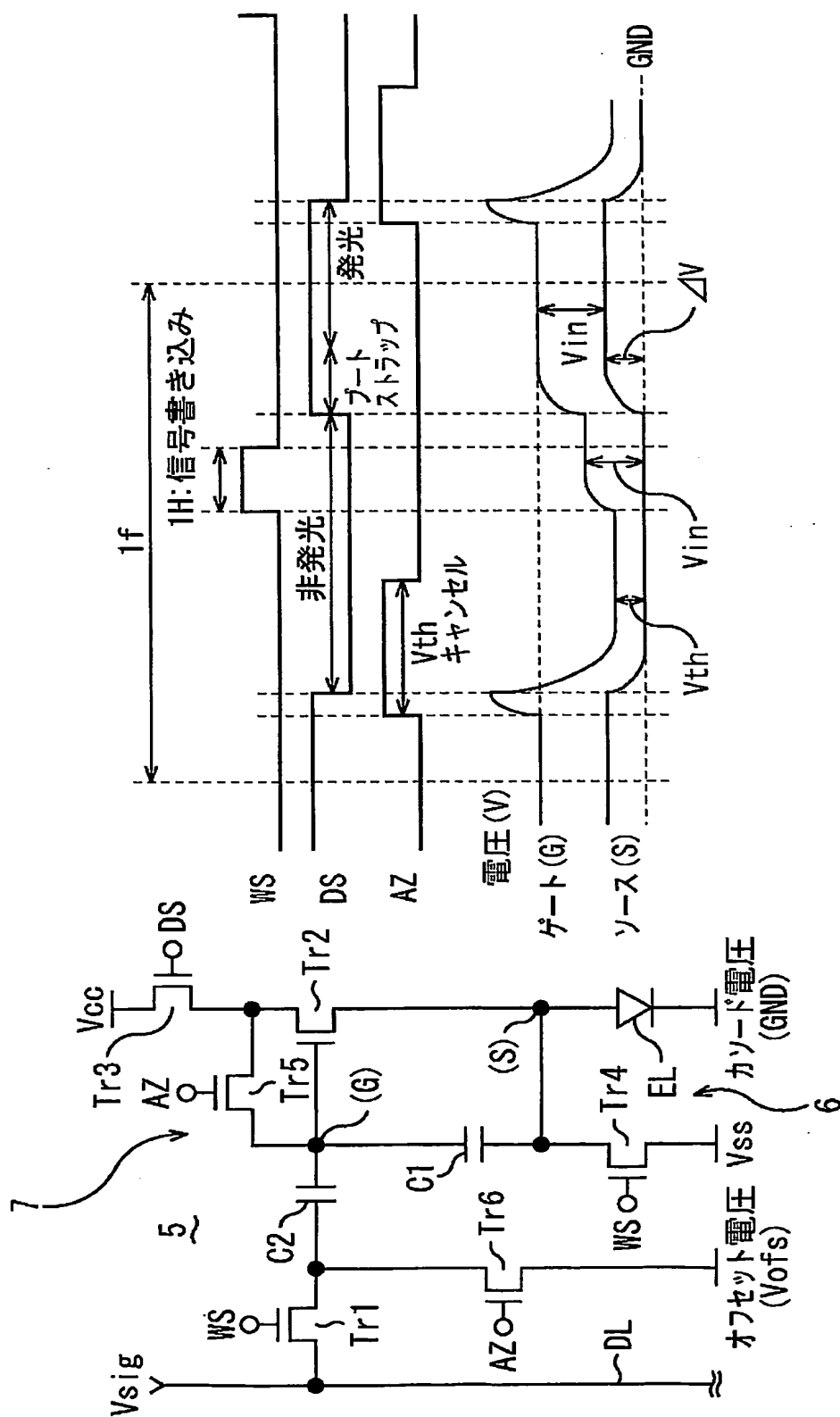


Fig. 8A

Fig. 8B

9/12

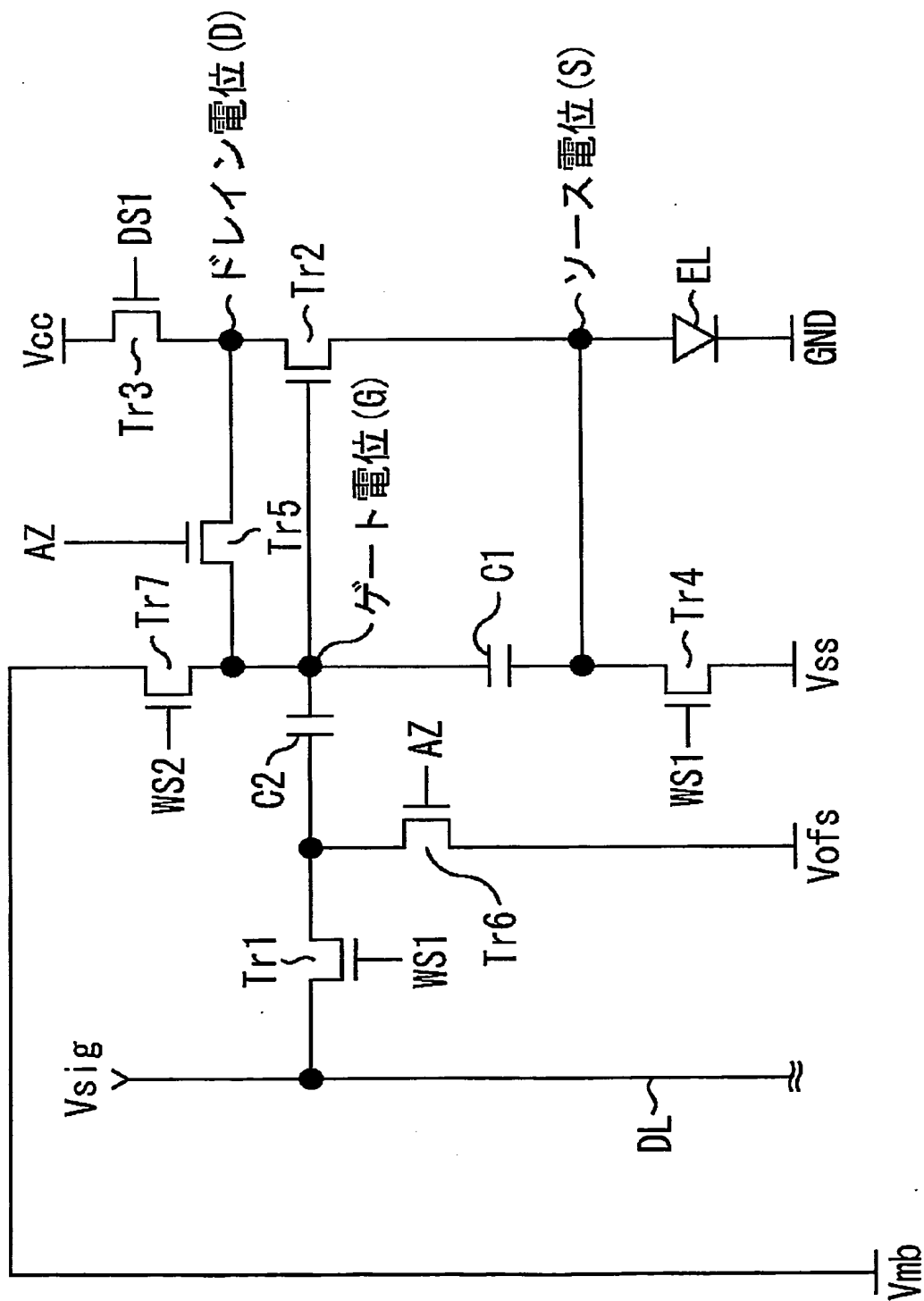


Fig.9

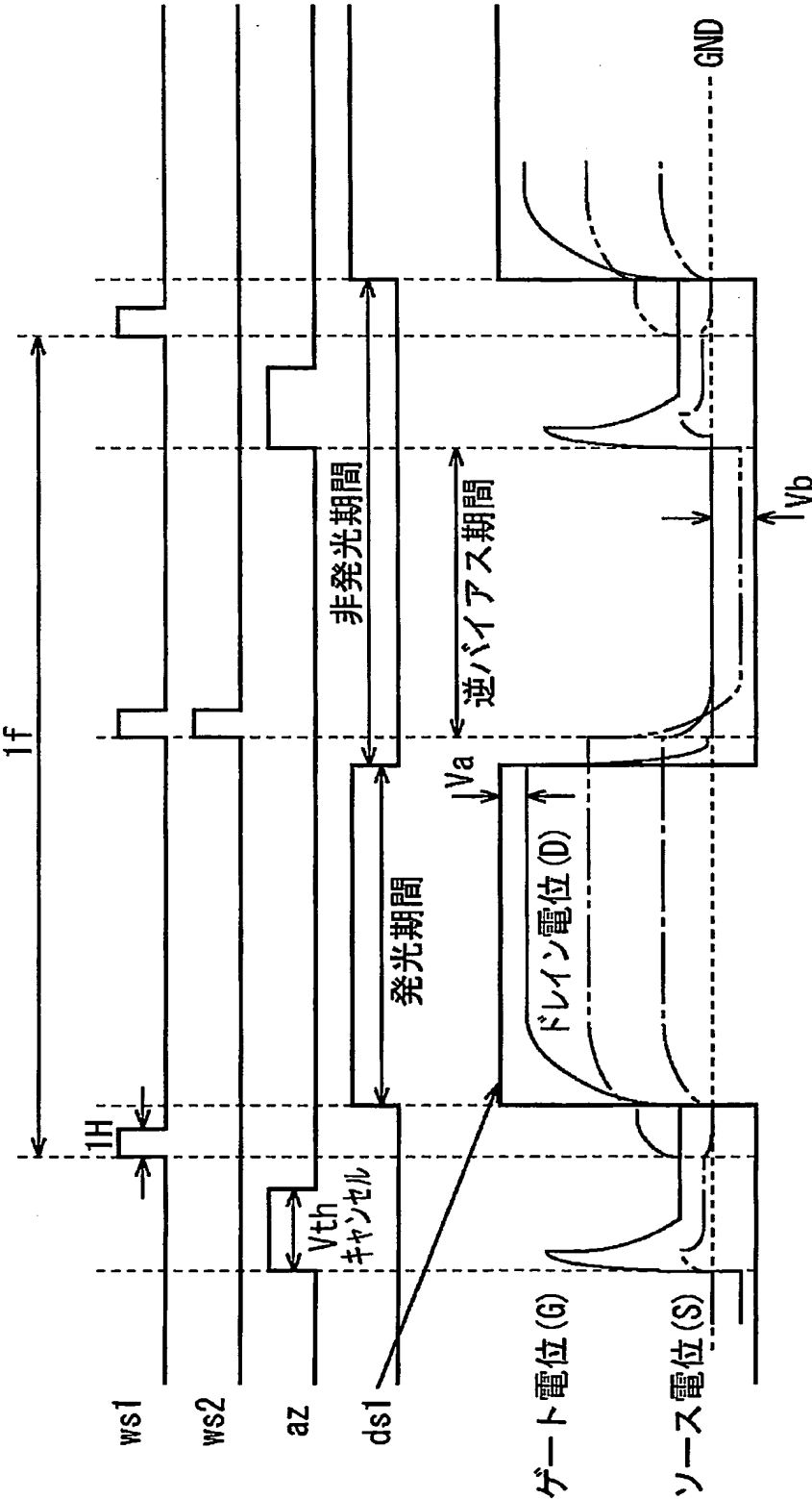


Fig.10

12/12

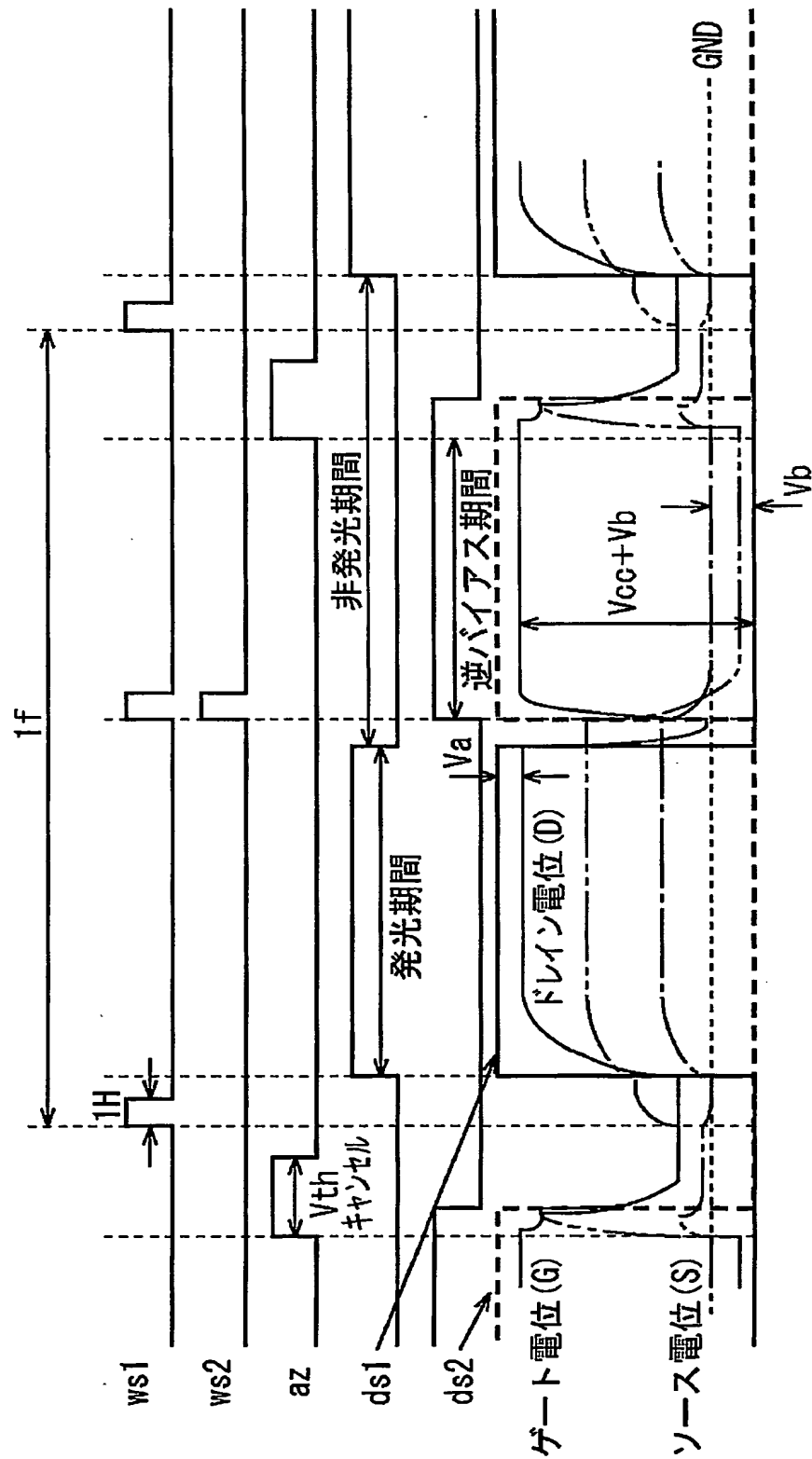


Fig.12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018334

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30, 3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/30, 3/20, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 62-118390 A (Matsushita Electric Industrial Co., Ltd.),	1, 5, 12, 19,
Y	29 May, 1987 (29.05.87), Full text; all drawings (Family: none)	21, 23 9-11, 16-18
Y	JP 2003-224437 A (Sanyo Electric Co., Ltd.), 08 August, 2003 (08.08.03), Full text; all drawings (Family: none)	9-11, 16-18
Y	JP 2003-173154 A (Sanyo Electric Co., Ltd.), 20 June, 2003 (20.06.03), Full text; all drawings & US 2003/0189535 A1	11, 18

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 January, 2005 (13.01.05)

Date of mailing of the international search report
01 February, 2005 (01.02.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. 7 G09G3/30, 3/20, H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. 7 G09G3/30, 3/20, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国実用新案登録公報 1996-2005年
 日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 62-118390 A (松下電器産業株式会社), 1987. 05. 29, 全文全図 (ファミリーなし)	1, 5, 12, 19, 21, 23
Y		9-11, 16-18
Y	JP 2003-224437 A (三洋電機株式会社), 2003. 08. 08, 全文全図 (ファミリーなし)	9-11, 16-18
Y	JP 2003-173154 A (三洋電機株式会社), 2003. 06. 20, 全文全図 & US 2003/0189535 A1	11, 18

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

13. 01. 2005

国際調査報告の発送日 01. 2. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

濱本 禎広

2G

9509

電話番号 03-3581-1101 内線 3226